

10/521528

VERTRAG ÜBER D~~IE~~ INTERNATIONALE ZUSAMMENARBEIT AUF DEM
GEBIET DES PATENTWESENS

Rec'd PCT/PTO 13 JAN 2005

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 27 OCT 2004

WIPO

PCT

Aktenzeichen des Anmelders oder Anwalts In1232WO	WEITERES VORGEHEN	siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)
Internationales Aktenzeichen PCT/DE 03/01957	Internationales Anmeldedatum (Tag/Monat/Jahr) 12.06.2003	Prioritätsdatum (Tag/Monat/Jahr) 15.07.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L29/78		
Anmelder INFINEON TECHNOLOGIES AG et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.

2. Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.

Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 5 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I Grundlage des Bescheids
- II Priorität
- III Keine Erstellung eines Gutachtens über Neuheit, erforderliche Tätigkeit und gewerbliche Anwendbarkeit
- IV Mangelnde Einheitlichkeit der Erfindung
- V Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erforderlichen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI Bestimmte angeführte Unterlagen
- VII Bestimmte Mängel der internationalen Anmeldung
- VIII Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 21.01.2004	Datum der Fertigstellung dieses Berichts 26.10.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Lantier, R Tel. +49 89 2399-6081

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigefügt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-20 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-19 eingegangen am 15.09.2004 mit Schreiben vom 14.09.2004

Zeichnungen, Blätter

1/8-8/8 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- Beschreibung, Seiten:
- Ansprüche, Nr.:
- Zeichnungen, Blatt:

**INTERNATIONALER VORLÄUFIGER
PRÜFUNGSBERICHT**

Internationales Aktenzeichen PCT/DE 03/01957

5. Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche 1-19
	Nein: Ansprüche
Erfinderische Tätigkeit (IS)	Ja: Ansprüche 1-19
	Nein: Ansprüche
Gewerbliche Anwendbarkeit (IA)	Ja: Ansprüche: 1-19
	Nein: Ansprüche:

2. Unterlagen und Erklärungen:

siehe Beiblatt

Der neu eingereichte unabhängige Anspruch 1 betrifft einen Ansteuertransistor in einem Speicherzellenfeld mit nur einer einen Steuerbereich enthaltenden Vertiefung und mit einer Oberflächenverbindung zu dem öffnungsfernen Anschlussbereich. Dessen Herstellungsverfahren ist auch im Anspruch 13 beansprucht.

Ausgehend von Dokument D1 ist es nicht naheliegend, daß ein Feldeffekttransistor **mit nur einer einen Steuerbereich enthaltenden Vertiefung** (und nicht mit einer Mehrzahl Vertiefungen mit parallel geschalteten Steuer- und Anschlussbereichen wie in D1) und mit einer Oberflächenverbindung zu dem öffnungsfernen Anschlussbereich eine weitere effektive Platzeinsparung hervorrufen würde und trotzdem gleichzeitig einen ausreichend niedrigen ON-Widerstand für Speicheranwendungen anbieten würde.

D3 betrifft auch einen Ansteuertransistor für ein Speicherzellenfeld mit nur einer einen Steuerbereich enthaltenden Vertiefung, aber mit beiden Anschlussbereichen an der Substratoberfläche.

Ausgehend von Dokument D3, gibt es keinen Anlaß, den im Dokument D1 vorgeschlagenen zusätzlichen Aufwand für das "vergrabene" Drain und die Kontaktierung des Drains durchzuführen, weil mit einer Platzeinsparung ohne zusätzliche Überlegung nicht zu rechnen ist.

Daher sind das beanspruchte Bauelement und dessen Herstellungsverfahren gemäß Ansprüchen 1 und 13 weder bekannt noch naheliegend in Hinblick auf die Dokumente des Recherchenberichtes.

Die abhängigen Ansprüche 2-12 und 14-19 betreffen Ausführungsformen der Ansprüche 1 und 13 und sind daher auch neu und erfinderisch.

Patentansprüche

1. Feldeffekttransistor (222),
mit einem entlang einer Vertiefung (72) angeordneten dotierten Kanalbereich,
mit einem einer Öffnung der Vertiefung (72) nahen dotierten Anschlussbereich (16),
mit einem in der Vertiefung (72) angeordneten Steuerbereich (172),
und mit einem elektrischen Isolierbereich (170) zwischen dem Steuerbereich (172) und dem Kanalbereich,
wobei der Feldeffekttransistor (222) ein Ansteuertransistor an einer Wortleitung (272, 288) oder an einer Bitleitung (296) eines Speicherzellenfeldes (230) ist,
wobei der Feldeffekttransistor (222) nur eine Vertiefung (72) enthält, in der ein Steuerbereich (172) angeordnet ist,
gekennzeichnet durch einen der Öffnung fernen dotierten Anschlussbereich (18),
wobei der öffnungsferne Anschlussbereich (18, 54) bis zu einer die Öffnung enthaltenden Oberfläche führt oder mit einer zu der Oberfläche führenden elektrisch leitenden Verbindung elektrisch leitend verbunden ist.

2. Feldeffekttransistor (222) nach Anspruch 1, dadurch gekennzeichnet, dass die Anschlussgebiete (16, 18) die gleiche Dotierstoffkonzentration und Dotierstoffe des gleichen Leitungstyps enthalten.

3. Feldeffekttransistor (222) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Kanalbereich eine Länge (l) hat, die mindestens zwei Dritteln der Tiefe der Vertiefung (72) entspricht.

4. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Vertiefung ein Graben (72) oder ein Loch ist.
5. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Kanalbereich auf beiden Seiten des Grabens (72) oder entlang des gesamten Umfangs des Loches liegt.
6. Feldeffekttransistor (222) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Kanalbereich nur auf einer Seite des Grabens (72) oder nur entlang eines Teils des Umfangs des Loches liegt.
7. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Vertiefung (72) für den Steuerbereich und eine mit einem elektrischen Isoliermaterial gefüllte Vertiefung (70, 76) zwischen dem Feldeffekttransistor (222) und einem benachbarten elektrischen Bauelement die gleiche Tiefe haben.
8. Feldeffekttransistor (222) nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Vertiefung (72) für den Steuerbereich eine kleinere Tiefe als eine mit einem elektrischen Isoliermaterial gefüllte Vertiefung (70a, 76a) zwischen dem Feldeffekttransistor (222) und einem benachbarten elektronischen Bauelement hat.
9. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der I-solierbereich (170) eine Isolierstärke von mindestens 15 nm, vorzugsweise von 20 nm hat.

10. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Abstand (1) zwischen den Anschlussbereichen (16, 18) entlang der Vertiefung (72) mindestens 0,4 µm beträgt, und/oder dass mindestens ein Anschlussbereich (16, 18) einen flachen Dotierprofilgradienten hat, welcher eine Schaltspannung mit einem Betrag größer 9 Volt oder größer 15 Volt, jedoch vorzugsweise kleiner als 30 Volt zulässt.

11. Verwendung des Feldeffekttransistors (222) nach einem der vorhergehenden Ansprüche als Ansteuerungstransistor an einer Wortleitung (272, 288) oder einer Bitleitung (296) eines Flash-Speichers oder eines EEPROM-Speicherbausteins.

12. Verwendung des Feldeffekttransistors (222) nach einem der vorhergehenden Ansprüche zum Schalten einer Spannung mit einem Betrag größer 9 Volt oder größer 15 Volt, vorzugsweise jedoch kleiner 30 Volt.

13. Verfahren zum Herstellen eines Feldeffekttransistors (222), insbesondere eines Feldeffekttransistors (222) nach einem der Ansprüche 1 bis 12,

mit den ohne Beschränkung durch die angegebene Reihenfolge auszuführenden Schritten:

Bereitstellen eines Trägermaterials (10) mit einer zu prozessierenden Oberfläche,

Ausbilden eines oberflächennahen Anschlussbereiches (16) und eines oberflächenfernen Anschlussbereiches (18),

Ausbilden von mindestens einer Vertiefung (72), welche von dem oberflächennahen Anschlussbereich (16) bis zum oberflächenfernen Anschlussbereich (18) oder welche von einem Bereich für den oberflächennahen Anschlussbereich zu einem Bereich für den oberflächenfernen Anschlussbereich führt,

Erzeugen einer elektrischen Isolierschicht (170) in der Vertiefung (72),

Einbringen eines elektrisch leitfähigen Steuerbereiches (172) in die Vertiefung (72)

Verwenden des Feldeffekttransistor (222) an einer Wortleitung (272, 288) oder einer Bitleitung (296) eines Speicherzellenfeldes (230),

wobei der Feldeffekttransistor (222) nur eine Vertiefung (72) enthält, in der ein Steuerbereich (172) angeordnet ist.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass das Ausbilden der Anschlussbereiche vor der Ausbilden der Vertiefung und/oder vor dem Füllen der Vertiefung (72) ausgeführt wird.

15. Verfahren nach Anspruch 13 oder 14, gekennzeichnet durch den Schritt:

Ausbilden eines Verbindungsbereiches (54) von dem oberflächenfernen Anschlussbereich (18) zur Oberfläche der Halbleiter- schicht (10).

16. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass gleichzeitig mit der Vertiefung (72) für den Steuerbereich mindestens eine Isoliervertiefung (70, 74, 76) ausgebildet wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Isoliervertiefung (70, 74, 76) mit der gleichen Tiefe wie die Vertiefung (72) für den Steuerbereich ausgebildet wird.

18. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Isoliervertiefung (70a, 76a) tiefer

als die Vertiefung (72a) für den Steuerbereich ausgebildet wird.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass die Isoliervertiefung breiter als die Vertiefung (72) für den Steuerbereich zumindest in einem oberen Abschnitt ist und dass beide Vertiefungen in einem gemeinsamen Ätzprozess ausgebildet werden, bei dem breitere Vertiefungen erheblich tiefer geätzt werden als schmalere Vertiefungen.